

概述

SGM4075-1 为全新设计冷复位及电池脱离开关。该电路用来保证装箱时电池处于近乎与负载脱离的状态，用于延长成品仓储时间，实现开盒即用、改善客户感受，方便壳体和包装的灵活设计。仅使用“开机”和“电源保持”信号配合即可实现电池脱离动作和电池开通动作。必要时还可以利用其电池脱离功能完成掉电重启循环。SGM4075-1 掉电后重新启动时检查其输出电压是否已充分跌落，可避免定时重启残留输出电压不确定的风险。

SGM4075-1 具有热关断保护和较低的导通阻抗。

SGM4075-1 采用绿色环保 WLCSP-1.31×1.62-12B 和 TDFN-3×3-8L 封装，工作温度范围为-40℃至+85℃。

特性

- 20mΩ 典型导通电阻（WLCSP-1.31×1.62-12B）
- 抗湿漏输入
- 过热开路保护
- 抗浪涌
- 典型时间参数（可利用外置电阻选择不同值）
 - 7.7s 复位延迟
 - 468ms 开路复位时间
 - 230ms 开机延迟
- 工作电压范围：1.5V~5.5V
- 最大 4.5A 连续工作电流（TDFN-3×3-8L）
最大 6A 连续工作电流（WLCSP-1.31×1.62-12B）
- 仅在受控电池脱离时输出端主动放电
- 唤醒输入符合 ICE61000-4-2 L4 要求
- 采用 WLCSP-1.31×1.62-12B 和 TDFN-3×3-8L 绿色环保封装
- ESD 保护

应用

手机、平板电脑、个人媒体播放器
存储装置、无线路由器
电池供电仪器和检测设备
手电、小型备用装置、休眠信标



图 1. 采用惯用“开机”和“电源保持”2 个控制信号的应用电路

封装/订购信息

型 号	封 装	工作温度范围	订货代码	封装顶标	芯片包装
SGM4075-1	WLCSP-1.31×1.62-12B	-40°C to +85°C	SGM4075-1YG/TR	XXXX G85	Tape and Reel, 3000
	TDFN-3×3-8L	-40°C to +85°C	SGM4075-1YTDB8G/TR	SGM 40751DB XXXXX	Tape and Reel, 4000

注：XXXX = 日期代码，XXXXX = 日期代码和供应商代码。

SGMICRO 定义“绿色环保”意味着无铅（完全兼容 RoHS 指令）和无卤素物质。如果您有其他需求或问题，请直接联系 SGMICRO 客服代表。

限制条件及封装热特性

V _{BAT} 、V _{OUT} 电压范围	-0.3V ~ 6.5V
nSR0、DELAY_ADJ、SYS_WAKE 电压范围	-0.3V ~ 6.5V
最大连续工作电流	
WLCSP-1.31×1.62-12B	6A
TDFN-3×3-8L	4.5A
功耗, P _D @ T _A = 25°C	
WLCSP-1.31×1.62-12B, I _{OUT} = 6A, R _{ON} = 20mΩ	0.72W
TDFN-3×3-8L, I _{OUT} = 4.5A, R _{ON} = 45mΩ	0.91W
存储温度	-65°C ~ +150°C
结点温度	+150°C
焊接温度（焊接 10s）	+260°C
热阻典型值	
WLCSP-1.31×1.62-12B, θ _{JA}	86°C/W
TDFN-3×3-8L	65°C/W
ESD 敏感度	
V _{BAT} 、V _{OUT} 、nSR0 引脚对地, HBM	8000V
其余各引脚之间, HBM	8000V
各引脚之间, MM	400V
各引脚之间, CDM	1000V

注：超出上述绝对最大额定值不一定会导致器件永久性损坏，但不能以额定最值或是其他超出规格所示的条件，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

推荐工作条件

电源电压范围	1.5V ~ 5.5V
结温范围	-40°C ~ +150°C
环境温度	-40°C ~ +85°C

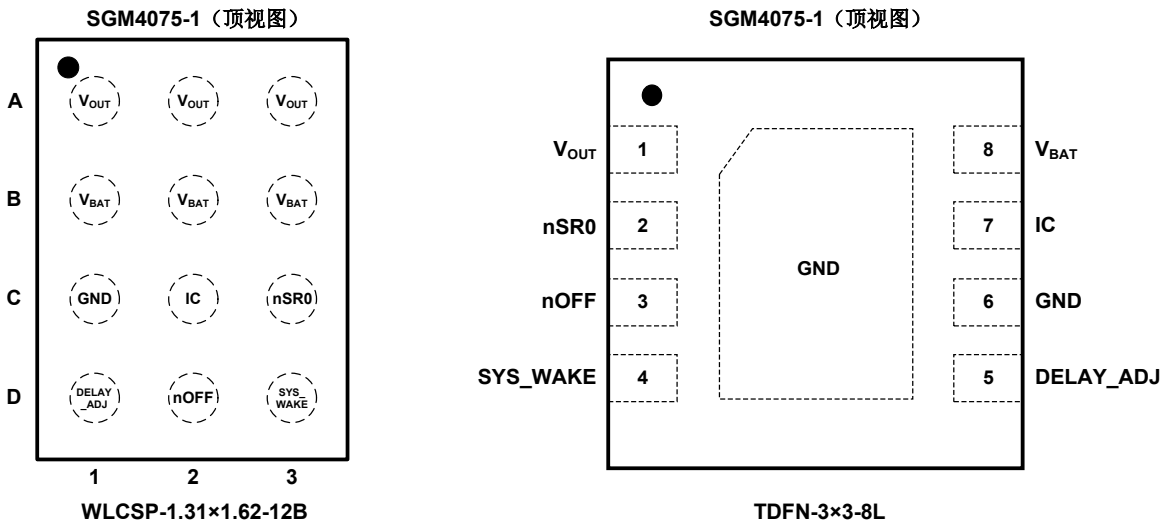
ESD警告

集成电路可能在不经意的条件下被 ESD 损坏。所有集成电路建议被妥善处理。不适当操作和错误的安装步骤会造成器件损坏。ESD 损害会造成细微的性能退化甚至到完全损坏。由于参数的变化可导致设备不能满足其公布的规格和参数，精密集成电路会更容易受到损害。

免责声明

本公司保留不预先通知而对该产品的设计、规格和其它相关事宜做出合理调整的权利。请接洽公司的销售部门获取最新有效版本的规格书。

引脚说明

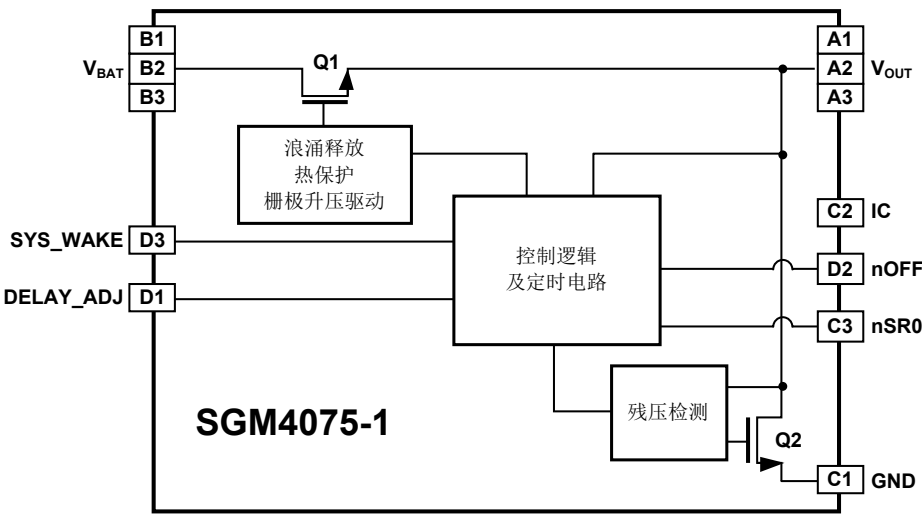


引脚定义

序号		引脚名称	类型	说明
WLCSP-1.31×1.62-12B	TDFN-3×3-8L			
A1, A2, A3	1	V _{OUT}	P	开关输出端。
B1, B2, B3	8	V _{BAT}	P	开关输入端。
C1	6	GND	P	接地端。
C2	7	IC	IC	内部连接用，外部不可连接。
C3	2	nSR0	I	延迟复位和开通及断开控制输入。
D1	5	DELAY_ADJ	I	延迟时间调节，利用对地电阻R _{ADJ} 设置延迟时间。不做设置时使用默认延迟时间，此时本引脚连接到V _{BAT} 。该引脚不可悬空。
D2	3	nOFF	I	开关断开或开通控制输入。该引脚不可悬空。
D3	4	SYS_WAKE	I	外部唤醒输入。
-	Exposed Pad	GND	G	散热片接地。

注：I 为输入，P 为电源，IC 保留用于内部连接，G 为接地。

原理框图



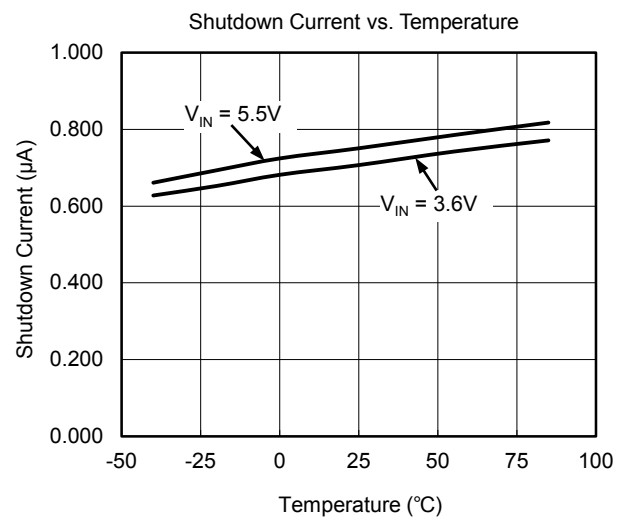
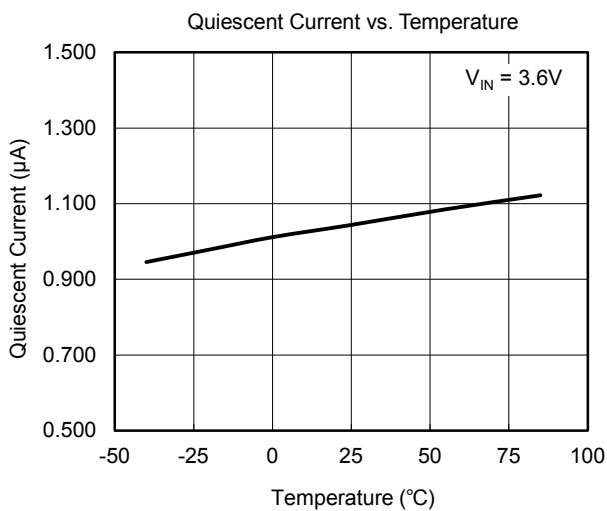
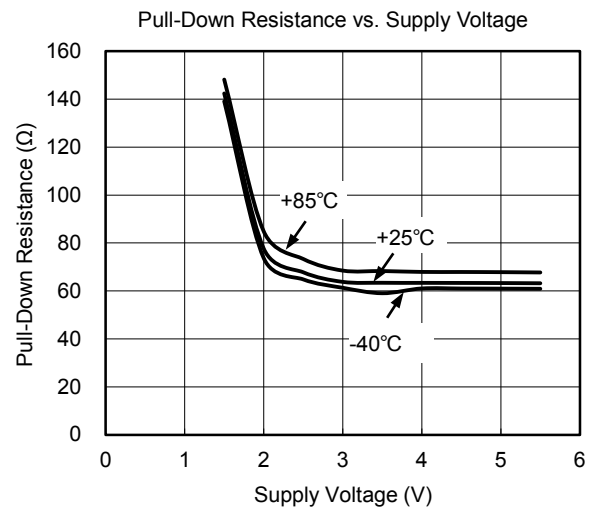
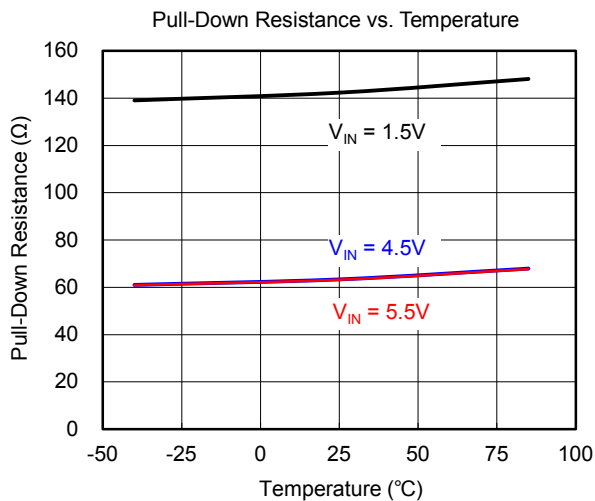
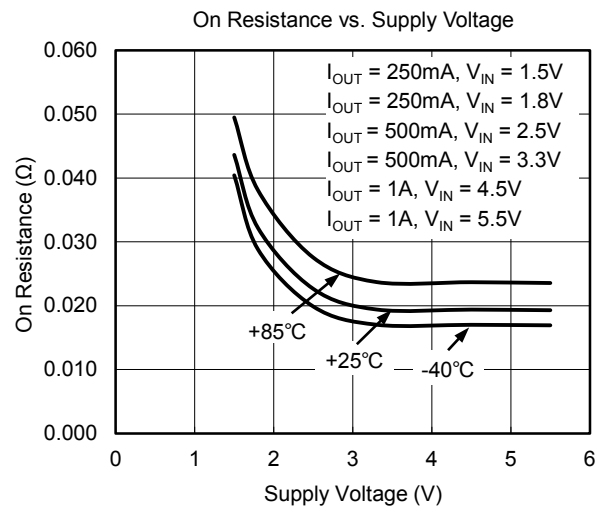
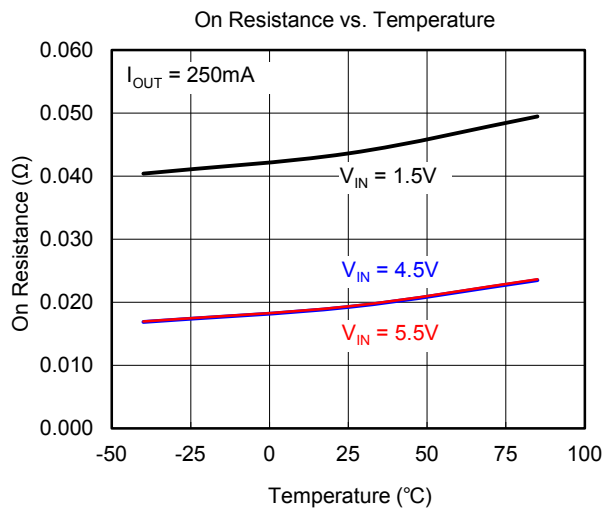
电气参数规格表

如无另外说明，规格表中的参数值均在以下条件下测量： $V_{BAT} = 3.6V$ ， $DELAY_ADJ$ 连接到 V_{BAT} ， V_{OUT} 对地接 36Ω 负载， $T_A = +25^\circ C$ 。

参数	符号	测试条件	最小值	典型值	最大值	单位
输入输出导通电阻 (WLCSP-1.31×1.62-12B)	R _{ON}	V _{BAT} = 5.5V		18	36	mΩ
		V _{BAT} = 3.6V		20	37	
		V _{BAT} = 1.5V		42	87	
输入输出导通电阻 (TDFN-3×3-8L)	R _{ON}	V _{BAT} = 5.5V		44		mΩ
		V _{BAT} = 3.6V		45		
		V _{BAT} = 1.5V		66		
关机电流	I _{SD}	nSR0、SYS_WAKE 开路, DELAY_ADJ 连接 V _{BAT} , nOFF 接地, V _{OUT} 悬空。		0.7	1.5	μA
静态工作电流	I _q	SYS_WAKE、nSR0、V _{OUT} 开路, DELAY_ADJ 连接 V _{BAT} , nOFF 接 V _{BAT} 时的开关导通状态。		1	2	μA
1.2μs/50μs 浪涌电压（图 7）	I _{FSRG}	导通状态 V _{BAT} 和 V _{OUT} 两点正负双向浪涌。		9		V
	I _{RSRG}	开路和未开通电源状态 V _{OUT} 到 V _{BAT} 正电压。		9		V
有效起始工作电压	V _{UVLor}	欠压逻辑锁定释放电压。		1.38	1.5	V
	V _{UVLot}	欠压逻辑锁定电压滞回。		0.1		V
放电残余电压门限	V _{DIS}			0.4		V
等效放电电阻	R _{PD}	RESET 期间向 V _{OUT} 注入 10mA。		65	90	Ω
逻辑高电平阈值	V _{IH}	SYS_WAKE、nOFF 和 nSR0 输入。	1.2			V
逻辑低电平阈值	V _{IL}				0.4	V
nOFF 端输入漏电流	I _B	nOFF 分别对 V _{BAT} 和 GND 的静态漏电。		0.1	1.5	μA
改出电压	V _{COERU}	SYS_WAKE 向上改出时。		0.7		V
	V _{COERD}	nSR0 向下改出时。		0.6		V
改出电流	I _{COERSNK}	SYS_WAKE 高有效选项上拉到高逻辑态的过程中需要外部提供的最大吸入电流。		-50		μA
	I _{COERSRC}	nSR0 低有效选项下拉到低逻辑态时需要外部吸入的最大灌出电流。		45		
时序参数						
上电和复位时序（图 7，图 8 和图 9）						
开通延迟时间	t _{VON}	R _L = 5kΩ		230		ms
复位延迟时间	t _{PHL}	R _L = 5kΩ	6.2	7.7	9.2	s
最短开路复位时间	t _{REC}	R _L = 5kΩ	376	468	541	ms
SYS_WAKE 开启时序（图 13）						
开通延迟时间	t _{DON_SYS_WAKE}	V _{BAT} = 3.6V, R _L = 5Ω, C _L = 100μF		230		ms
V _{OUT} 上升时间	t _R			3		ms
开通时间, SYS_WAKE 至 V _{OUT}	t _{ON_SYS_WAKE}			233		ms
nOFF 开启和关断时序（图 10, 图 11 和图 12）						
开通延迟时间	t _{DON_nOFF}	V _{BAT} = 3.6V, R _L = 5Ω, C _L = 100μF		4		ms
开通时间, nOFF 至 V _{OUT}	t _{ON_nOFF}			7		ms
关断延迟时间	t _{DSD}	V _{BAT} = 3.6V, R _L = 150Ω, C _L = 100μF		1.8		ms
V _{OUT} 下降时间	t _F			10		ms
关断时间	t _{OFF}			11.8		ms
nSR0 和 nOFF 同时窗口	t _{CO}	认定 nSR0 输入有效和 nOFF 拉低同时的窗口时间。	400	500		μs
触发响应保持时间	t _M	SYS_WAKE 脉冲触发后最短开通。		1.9		s
短时间释放宽容相对时间	t _{TOL}			15		ms

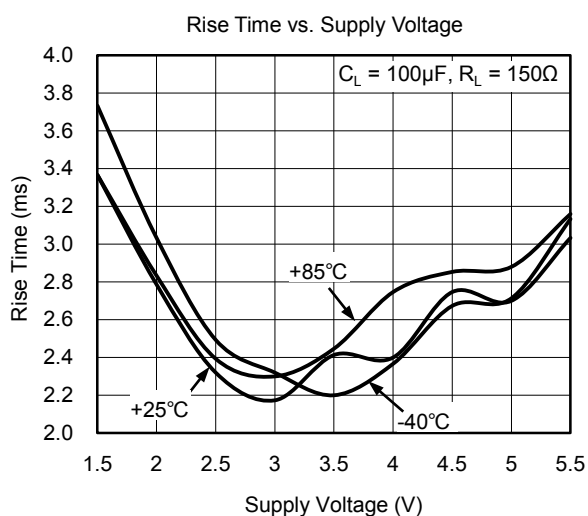
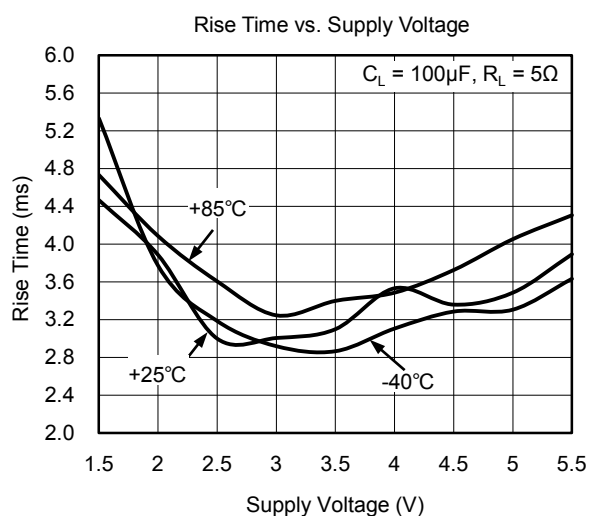
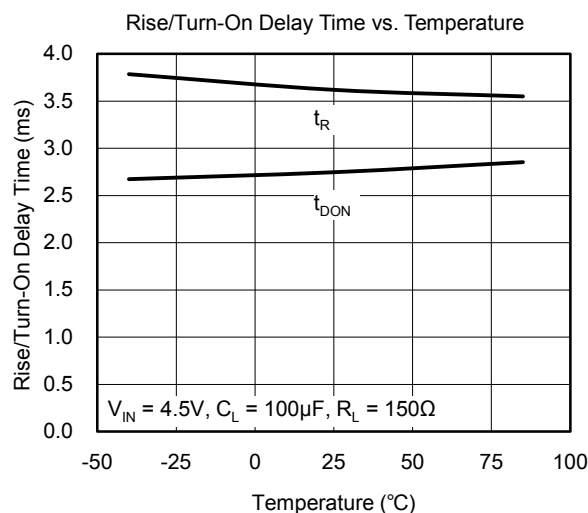
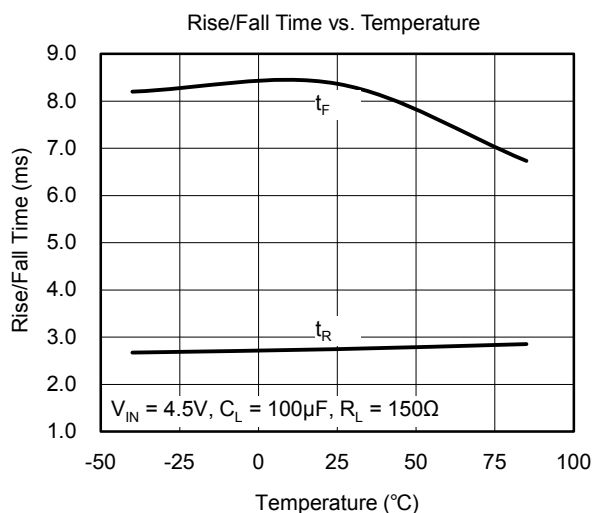
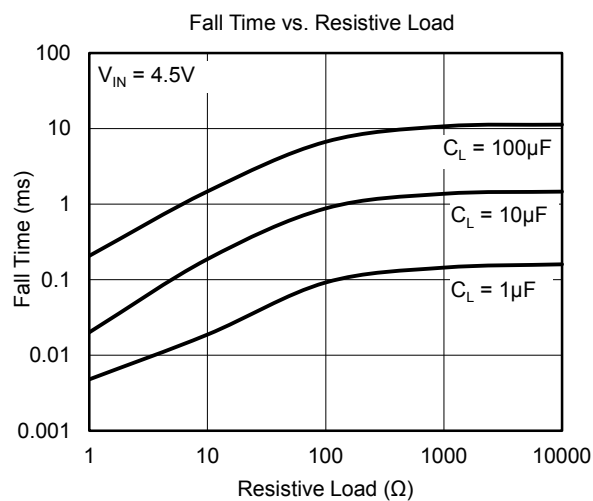
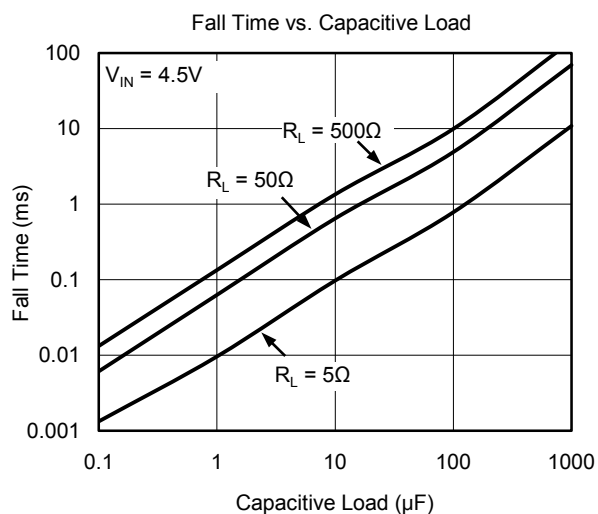
特性曲线

如无另外说明，特性曲线均为 WLCSP-1.31×1.62-12B 封装测试。



特性曲线 (续)

如无另外说明, 特性曲线均为 WLCSP-1.31×1.62-12B 封装测试。



典型应用电路

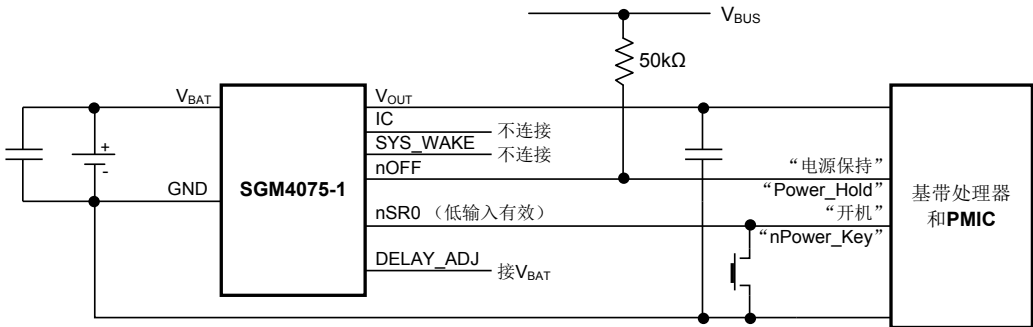


图 2. 采用“开机”和“电源保持”信号并且可由外部 V_{BUS} 电源接入触发开通开关的电路

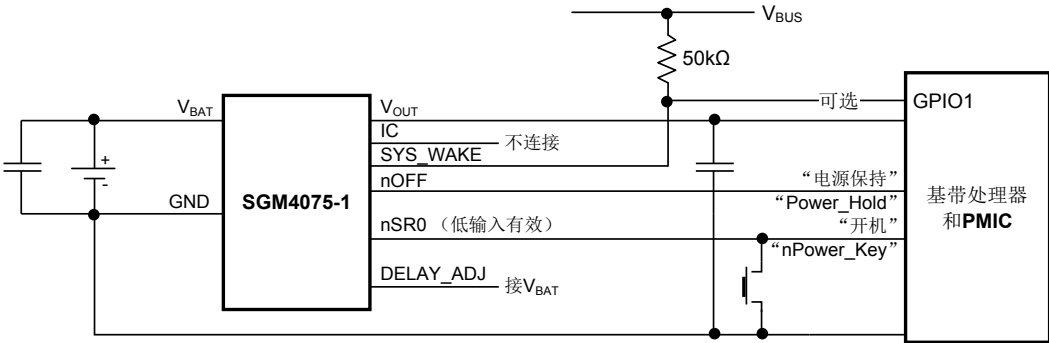


图 3. 采用“开机”和“电源保持”信号并且可由外部电源接入触发 SYS_WAKE 开通开关的电路

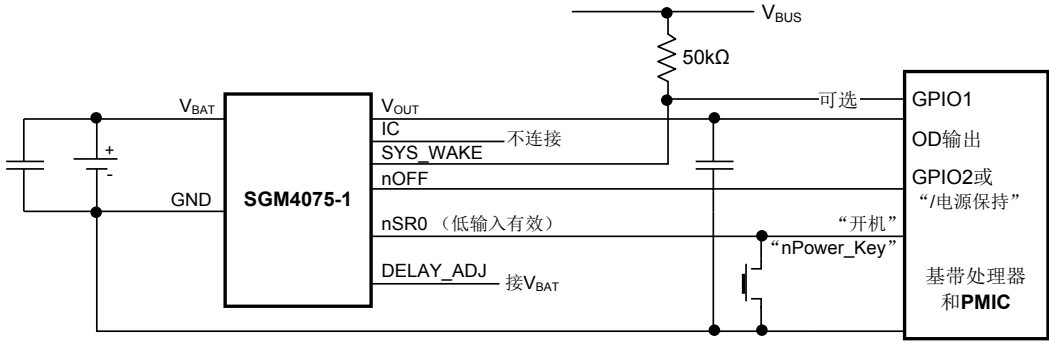


图 4. *75939 模式工作时的电路（省略了*75939 电路中的上拉电阻和抗反向二极管）

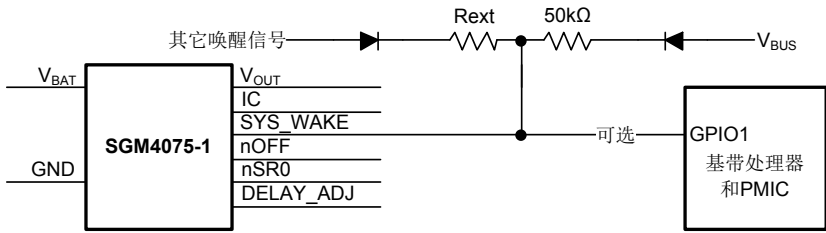


图 5. 接入外部唤醒的连接方式之一

典型应用电路（续）

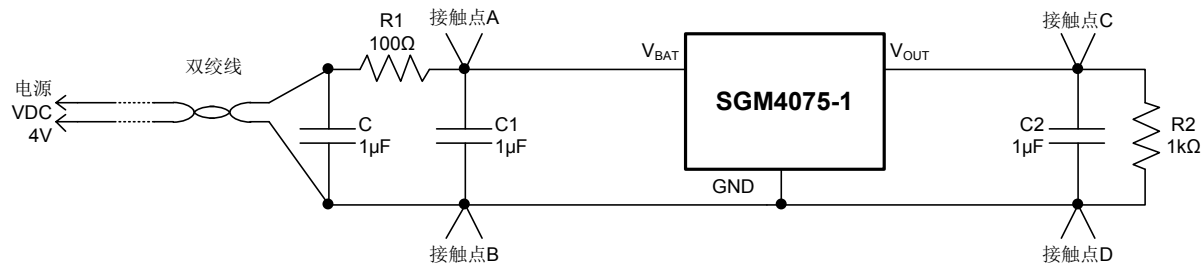


图 6. 浪涌、容性负载启动、短路启动和工作中短路测试电路

控制及响应时序

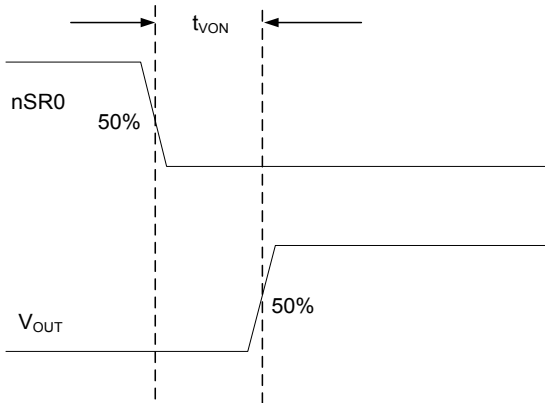


图 7. Power-On with nSR0

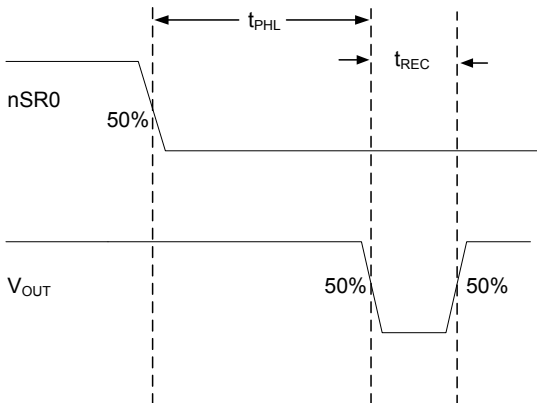


图 8. RESET Timing 1

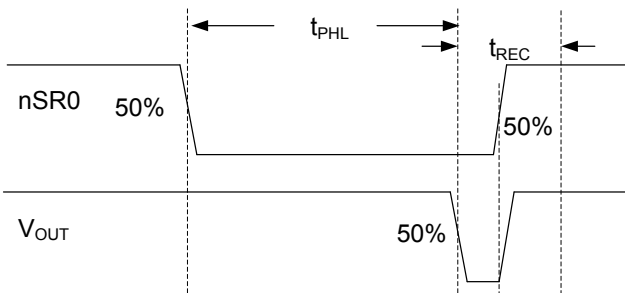


图 9. RESET Timing 2

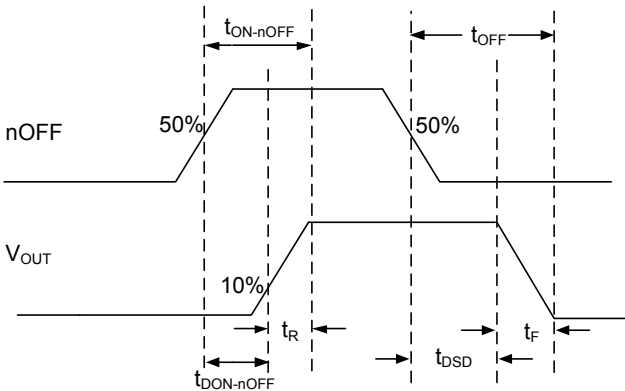


图 10. Timing Diagram (nOFF vs. VOUT)

控制及响应时序

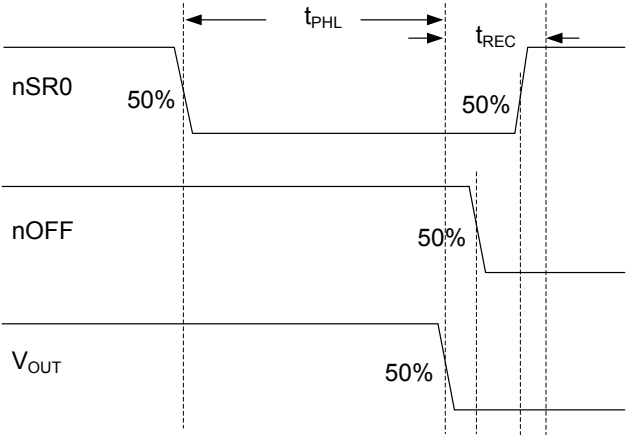


图 11. Timing Diagram (nSR0 + nOFF vs. V_{OUT}) 1

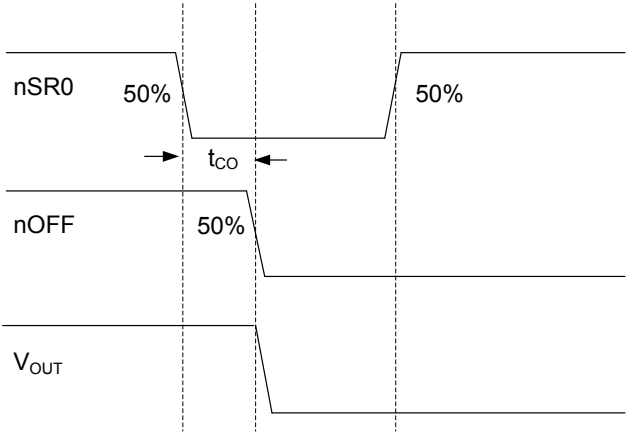


图 12. Timing Diagram (nSR0 + nOFF vs. V_{OUT}) 2

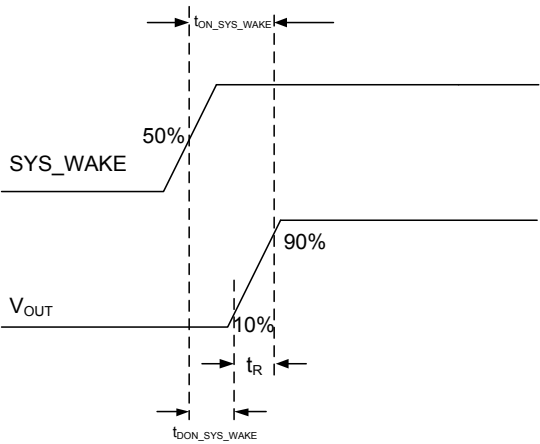


图 13. Timing Diagram (SYS_WAKE vs. VOUT)

应用信息

复位计时器和负载开关

SGM4075-1既是一款复位计时器，又是一款负载开关，典型应用电路如图1、图2、图3、图4、图5所示。

SGM4075-1采用特有的“保持-改出”型逻辑接口解决湿漏电和误偏置潜动问题；“保持-改出”即在电压滞回型（施密特触发器型）的基础上增加电流滞回。当需要从一个逻辑状态转换到另一个逻辑状态时需要外部驱动输入，同时满足驱动电压和驱动电流的要求；一旦进入另外一个逻辑状态，如需改出前一个逻辑状态，则需要相反的电压和电流才能再次改出。在这个结构中其内部偏置与外部逻辑驱动极性相同，保持相同逻辑状态时不引起耗电。

负载开关导通（见表1）

nSR0拉高、nOFF拉低、SYS_WAKE拉低时开关维持断开；这时nSR0进入低 t_{VON} 后开通输入输出，详见图7。当负载开关从关断到开启时，继续维持nSR0拉低，并不触发复位功能，为了开启复位功能，nSR0必须重新拉高，给内部的计时器清零。

nSR0拉高、nOFF拉低、SYS_WAKE拉低时开关维持断开；这时SYS_WAKE进入高 $t_{ON_SYS_WAKE}$ 后开通输入输出，见图13。其后如果SYS_WAKE恢复到低，输入输出视nOFF的状态维持开通或者断开；nOFF高维持开通，低断开。

nSR0拉高、nOFF拉低、SYS_WAKE拉低时开关维持断开；这时nOFF进入高 t_{ON_nOFF} 后开通输入输出，详见图10。

复位计时器（见表1）

输入输出在开通状态时，nSR0有效并保持累计时间达到 t_{PHL} （7.7s）时，断开输入输出的链接。如nSR0继续保持超过 t_{REC} （468ms），在 t_{REC} 后，SGM4075-1会自动开启负载开关，详见图8；如nSR0在 t_{REC} 期间释放，SGM4075-1会立刻开启负载开关，详见图9。在 t_{REC} 时刻或nSR0释放并重启时，如果 V_{OUT} 电压小于 V_{DIS} （0.4V），SGM4075-1会自动开启负载开关；如果 V_{OUT} 电压大于 V_{DIS} ，SGM4075-1将继续维持负载开关断开，直到 V_{OUT} 电压小于 V_{DIS} 。

负载开关断开（见表1）

输入输出在开通状态时，nSR0有效并保持累计时间达到 t_{PHL} （7.7s）时，断开输入输出的连接至少 t_{REC} （468ms）。在 t_{REC} 期间输入输出断开负载系统的电源后，如果nSR0释放时nOFF已经变低，开关保持断开、维持电池脱离状态。见图11。

输入输出在开通状态时，nSR0有效后的 t_{CO} 内nOFF变低，使输入输出断开，开关保持断开、维持电池脱离状态。见图12。

输入输出在开通状态时，nOFF从高变低，并保持至少 t_{DSD} （1.8ms），输入输出断开。

然而，如果有更高优先级的输入信号，关断过程将被终止（详见输入信号优先级部分）。

欠压锁定（UVLO）

当电池电压（ $V_{BAT}<1.38V$ ）时，SGM4075-1进入欠压锁定模式，内部所有寄存器都被清零，负载开关关闭。当电池电压（ $V_{BAT}>1.38V$ ）时，负载开关开启，详见表2。

表1. 输出和输入的状态

功能	初始条件			相关延迟	V_{OUT}	
	nSR0	SYS_WAKE	nOFF		BEFORE	AFTER
POWER-ON	LOW	X	X	t_{VON}	OFF	ON
	HIGH	LOW	HIGH	t_{ON_nOFF}	OFF	ON
	HIGH	HIGH	X	$t_{ON_SYS_WAKE}$	OFF	ON
RESET	LOW	X	X	$t_{PHL} = 7.7s$ $t_{REC} = 468ms$	ON	HIGH to LOW to HIGH
TURN-OFF	HIGH	LOW	LOW	t_{OFF}	ON	OFF
	LOW	LOW	HIGH to LOW	$t_{PHL} = 7.7s$ $t_{REC} = 468ms$	ON	OFF
	LOW	LOW	HIGH to LOW	t_{CO}	ON	OFF

注：X = HIGH or LOW.

表2. 欠压锁定后的引脚状态

引脚名称	nSR0	SYS_WAKE	nOFF	V_{OUT}
UVLO后的默认状态	HIGH	LOW	HIGH	ON

应用信息（续）

输入信号优先级

SGM4075-1通过设定输入信号的优先级方式解决不同信号同时输入所产生矛盾的问题。具体优先级详见表3。

当两个输入信号同时有效时，只有优先级高的信号起作用，优先级低的信号将被忽略。

表 3. 输入信号优先级

INPUT	PRIORITY (1 = 最高优先级)
nSR0	1
SYS_WAKE	2
nOFF	3

防抖动和误触发

持续按键按下期间，即 nSR0 有效期间，短时间释放按键不影响累计按键按下时间。释放时间超过宽容时间 t_{TOL} 时，清除累计的按键按下时间。

SYS_WAKE 触发开关导通时，导通自主保持 t_M 以等待宿主系统启动和完成需要的接替其维持导通。

浪涌吸收、短路保护和热保护

SGM4075-1 在其开关导通时在 V_{BAT} 和 V_{OUT} 端均可承受不同极性的接触浪涌，在开关断开时 V_{OUT} 端可承受正向接触浪涌。

SGM4075-1 内部带有短路和过热保护电路。发生短路或过热时 SGM4075-1 断开 V_{BAT} 与 V_{OUT} 的连接，并在最短断开路复位时间 t_{REC} 后或者芯片温度下降后尝试重新连接。

有源放电和放电残压检测

SGM4075-1 在 nSR0 有效触发断开 V_{BAT} 与 V_{OUT} 的连接时，开通对 V_{OUT} 的有源放电，其它输入触发断开时不开通有源放电。从开路复位状态重新恢复导通时除了要满足最短开路复位时间的要求外，还要同时检查 V_{OUT} 电压是否已充分降低到低于 V_{DIS} ，并且仅在同时满足最短开路复位时间和 V_{OUT} 电压充分降低后重新开通；这样可以充分保证包括低压数字电路的全部负载的有效复位。其它触发开通时不考虑 V_{OUT} 的放电情况。

DELAY_ADJ 用来利用选用不同的外部电阻值调节断开复位触发的延迟时间。阻值和连接关系对应的延迟时间调节效果见表 4。

表 4. DELAY_ADJ 对延迟调节

对地电阻 R_{ADJ} (kΩ)	对延迟时间 t_{PHL} 的调节
无电阻直接对地	$0.5t_{PHL}$
3.9	$0.75t_{PHL}$
10	$1.25t_{PHL}$
22	$1.5t_{PHL}$
47	$1.75t_{PHL}$
120	$2.0t_{PHL}$
接 V_{BAT}	$1t_{PHL}$

版本更新记录

注: 旧本页码可能会与新本页码不一致。

MAY 2017 – REV.A.4 至 REV.B

芯片包装 Tape and Reel, 5000更新为3000	2
---------------------------------------	---

APRIL 2017 – REV.A.3 至 REV.A.4

增加/SR0和OFF同时窗口 (t_{CO}) 最小值400 μ s	4
DELAY_ADJ引脚修改成连接V _{BAT} , 不可以悬空或开路	All
增加图9, 图11, 图12	8, 9

JANUARY 2017 – REV.A.2 至 REV.A.3

更新EN引脚名称为nOFF	All
更新TDFN封装的导通电阻	4

DECEMBER 2016 – REV.A.1 至 REV.A.2

更新最大连续工作电流	1, 2
更新TDFN封装的导通电阻	1, 2

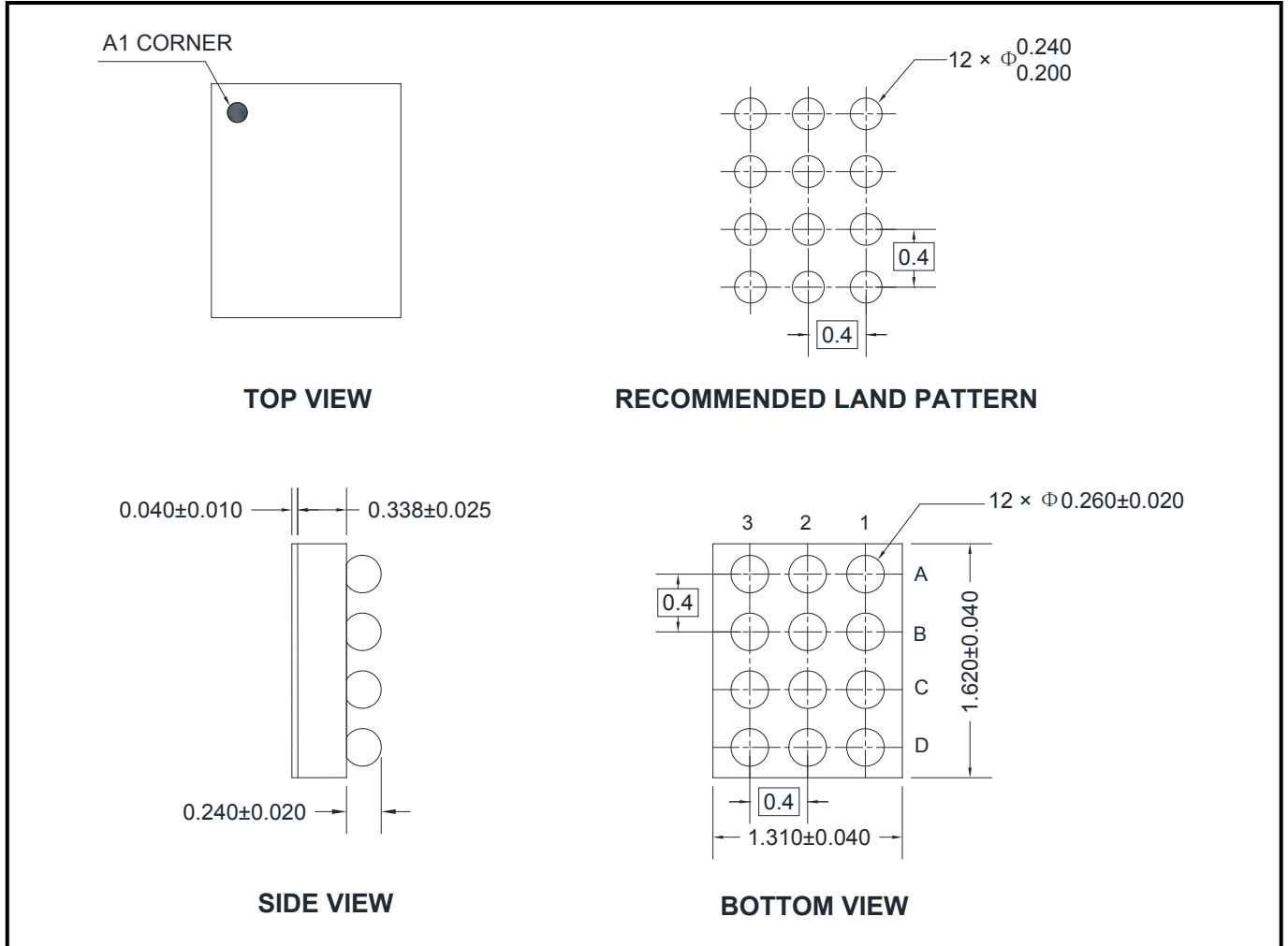
OCTOBER 2016 – REV.A 至 REV.A.1

更新EN引脚描述	3, 9
----------------	------

非正式版本 (MAY 2016) 至 REV.A

PACKAGE OUTLINE DIMENSIONS

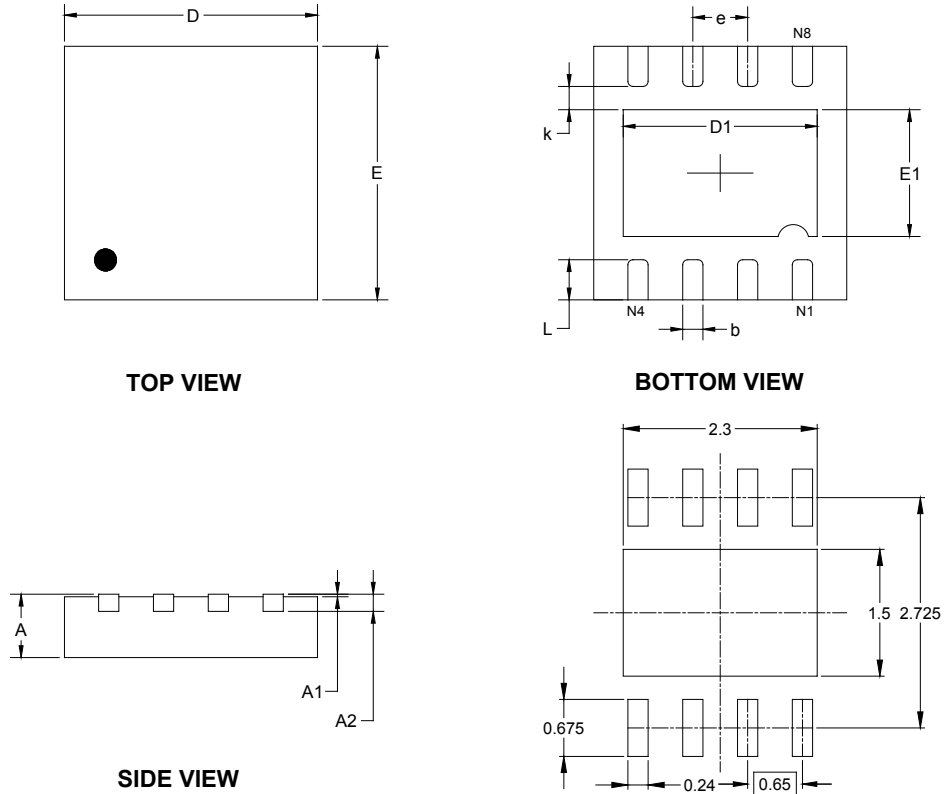
WLCSP-1.31×1.62-12B



NOTE: All linear dimensions are in millimeters.

PACKAGE OUTLINE DIMENSIONS

TDFN-3×3-8L



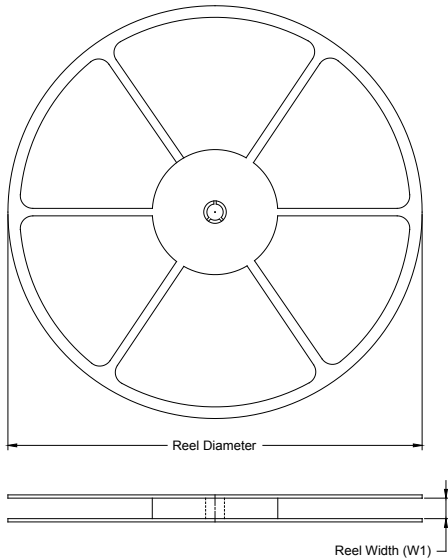
RECOMMENDED LAND PATTERN (Unit: mm)

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	MIN	MAX	MIN	MAX
A	0.700	0.800	0.028	0.031
A1	0.000	0.050	0.000	0.002
A2	0.203 REF		0.008 REF	
D	2.900	3.100	0.114	0.122
D1	2.200	2.400	0.087	0.094
E	2.900	3.100	0.114	0.122
E1	1.400	1.600	0.055	0.063
k	0.200 MIN		0.008 MIN	
b	0.180	0.300	0.007	0.012
e	0.650 TYP		0.026 TYP	
L	0.375	0.575	0.015	0.023

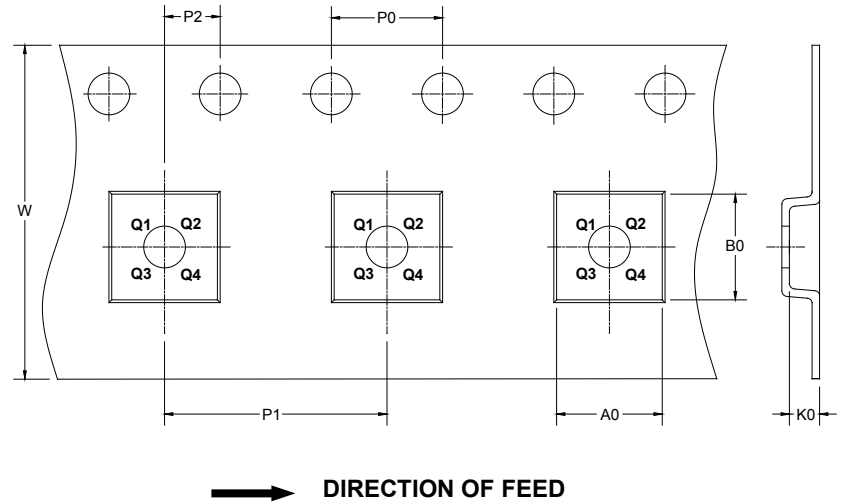
PACKAGE INFORMATION

TAPE AND REEL INFORMATION

REEL DIMENSIONS



TAPE DIMENSIONS



NOTE: The picture is only for reference. Please make the object as the standard.

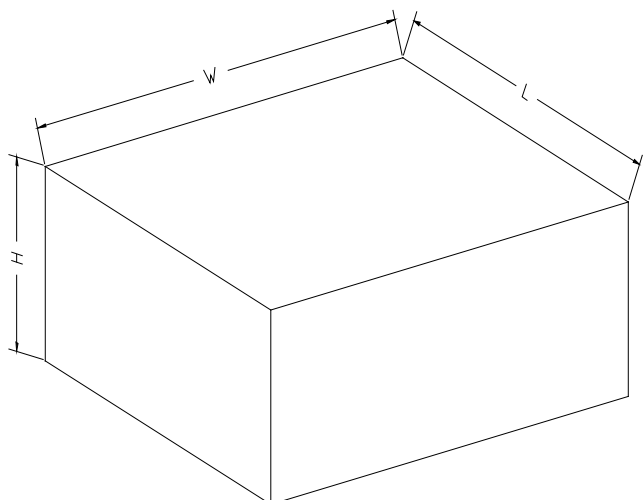
KEY PARAMETER LIST OF TAPE AND REEL

Package Type	Reel Diameter	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
TDFN-3×3-8L	13"	12.4	3.35	3.35	1.13	4.0	8.0	2.0	12.0	Q1
WLCSP-1.31×1.62-12B	7"	9.2	1.42	1.75	0.71	4.0	4.0	2.0	8.0	Q1

DD0001

PACKAGE INFORMATION

CARTON BOX DIMENSIONS



NOTE: The picture is only for reference. Please make the object as the standard.

KEY PARAMETER LIST OF CARTON BOX

Reel Type	Length (mm)	Width (mm)	Height (mm)	Pizza/Carton
7" (Option)	368	227	224	8
7"	442	410	224	18
13"	386	280	370	5

DD0002